

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0086489  
Application Number

출원년월일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

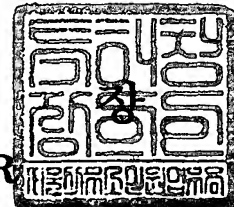
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      07      월      01      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.05.23
【제출인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【사건의 표시】	
【출원번호】	10-2002-0086489
【출원일자】	2002.12.30
【심사청구일자】	2003.05.23
【발명의 명칭】	하드마스크의 경사 프로파일을 방지할 수 있는 A r F 노광원 을 이용한 반도체소자 제조 방법
【제출원인】	
【접수번호】	1-1-2002-0436032-71
【접수일자】	2002.12.30
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조 의 규정에의하여 위와 같 이 제출합니다. 대리인 특허법인 신성 (인)

**【수수료】****【보정료】** 0 원**【추가심사청구료】** 0 원**【기타 수수료】** 0 원**【합계】** 0 원**【첨부서류】**

1. 보정내용을 증명하는 서류[발명의 상세한 설명,  
특허 청구범위 보 정]\_1통

【보정대상항목】 요약

【보정방법】 정정

【보정내용】

본 발명은 반도체소자의 전도층 패턴 형성시 사용되는 하드마스크의 경사 프로파일(제1,2하드마스크 상부의 침탑 또는 라운드 현상)을 방지하기에 적합한 반도체소자의 전도층 패턴 형성방법을 제공하기 위한 것으로 이를 위해 본 발명은, 기판 상에 전도층을 형성하는 단계; 상기 전도층 상에 제1하드마스크용 물질막과 제2하드마스크용 물질막 및 제3하드마스크용 물질막을 차례로 형성하는 단계; 상기 제3하드마스크용 절연막 상에 소정의 패턴을 형성하기 위한 ArF 노광원을 이용한 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 제3하드마스크용 물질막을 식각하여 제3하드마스크를 형성하는 단계; 적어도 상기 제3하드마스크를 식각마스크로 상기 제2하드마스크용 물질막을 식각하여 제2하드마스크를 형성하는 단계; 습식 세정 공정을 실시하여 상기 제3하드마스크를 제거하는 단계; 및 상기 제2하드마스크를 식각마스크로 상기 제1하드마스크용 물질막과 상기 전도층을 차례로 식각하여 전도층과 제1하드마스크 및 제2하드마스크가 적층된 상기 소정의 패턴을 형성하는 단계를 포함하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법을 제공한다.

【보정대상항목】 식별번호 4

【보정방법】 정정

【보정내용】

도 4는 텅스텐막과 폴리실리콘막이 적층된 전도층 패턴의 침탑 형상을 도시한 TEM 사진.

【보정대상항목】 식별번호 6

【보정방법】 정정

【보정내용】

도 6a 내지 도 6d는 본 발명의 다른 실시예에 따른 반도체소자의 전도층 패턴 형성 공정을 도시한 단면도.

【보정대상항목】 식별번호 10

【보정방법】 정정

【보정내용】

본 발명은 반도체소자의 패턴 형성방법에 관한 것으로 특히, 불화아르곤 노광원을 이용한 반도체소자의 하드마스크의 상부가 평탄한 전도층 패턴 형성방법에 관한 것이다.

【보정대상항목】 식별번호 11

【보정방법】 정정

【보정내용】

반도체 소자가 고집적화됨에 따라 패턴간의 거리가 작아지고 식각마스크 역할을 하는 포토레지스트의 증착 두께는 점점 낮아지고 있다. 이렇게 포토레지스트막의 두께가 낮아지면 높은 중형비의 콘택홀이나 셸프 얼라인 콘택홀 형성 공정에서는 포토레지스트막이 산화막이나 임의의 막질을 식각하는데 마스크 역할을 완벽하게 수행할 수 없게 된다. 그러므로, 포토레지스트막이 마스크 역할을 할 수 있게 산화막이나 임의의 막질과 포토레지스트막의 고선택비를 확보할 수 있는 하드마스크가 필요하다.

【보정대상항목】 식별번호 12

【보정방법】 정정

【보정내용】

이러한 하드마스크로는 다양한 막질 예컨대, 질화막 또는 폴리실리콘막이 이용되고 있으며, 하드마스크 도입에 따라 상대적으로 포토레지스트막의 선택비 마진을 확보할 수 있을 뿐만아니라, 임계치수(Critical Dimension; 이하 CD라 함)의 손실(Loss)을 최소화함으로써 CD 바이어스(Bias, 포토레지스트 패턴의 CD와 실제 패턴 사이의 CD 차이)를 줄일 수 있게 되었다.

【보정대상항목】 식별번호 13

【보정방법】 정정

【보정내용】

그러나, 질화막 계열의 하드마스크를 사용하는 경우 디자인 룰의 감소에 따라 그 두께가 감소하게 되었고, 이에 따라 콘택 형성 등의 공정에서 산화막 식각 시 질화막에 대하여 고선택비를 확보하기 위하여 다량의 폴리머 유발 가스가 사용되는 바, 이러한 다량의 폴리머 유발 가스 사용에 따라 식각 공정의 재현성 문제와 경사(Slope)식각 단면에 기인한 콘택 면적 감소와, 이에 따라 콘택 저항이 증가하는 문제가 발생하게 된다.

한편, 폴리실리콘막을 하드마스크로 사용하는 경우 폴리머 유발 가스에 따른 문제점을 극복할 수 있다 할지라도 예컨대, 콘택홀 형성 공정 후 하드마스크로 사용된 폴리실리콘막을 제거할 때 반도체 기판을 구성하는 실리콘에 대한 선택비 확보가 어려워 제거하기가 어려우며, 특히 최근의 미세 패턴 형성시 주로 사용되는 ArF 노광원용 포토레지스트의 경우 접착(Adhesion) 문제 또한 발생하게 되고, 폴리실리콘 하드마스크 패터닝 자체도 어려운 문제점이 발생하게 된다.

【보정대상항목】 식별번호 19

【보정방법】 정정

【보정내용】

여기서, 전도층(10)은 폴리실리콘막과 텅스텐막이 적층된 것을 그 일례로 하였으며, 반사방지막(13)은 유기 계열(Organic)을 사용하였다.

【보정대상항목】 식별번호 22

【보정방법】 정정

【보정내용】

한편, 도 1c에서 알 수 있듯이 제1하드마스크(11') 형성시 제2하드마스크(12")의 상부가 경사 식각되어 뾰족한 침탑 형상을 갖게 된다.

【보정대상항목】 식별번호 24

【보정방법】 정정

【보정내용】

도 2를 참조하면, 제2하드마스크(12")가 침탑 형상을 갖는 것을 나타내고 있다. 또한, 도 3을 참조하면, 도 1c의 공정 후 이미 침탑 형상을 갖는 제2하드마스크(12")를 식각마스크로 하부를 식각하므로, 제2하드마스크(12")의 패턴 형상이 하부로 전사되어 제1하드마스크(11")가 침탑의 형상을 갖게 됨을 알 수 있다.

【보정대상항목】 식별번호 25

【보정방법】 정정

【보정내용】

도 4는 텅스텐막과 폴리실리콘막이 적층된 전도층 패턴의 침탑 형상을 도시한 TEM 사진이다.



【보정대상항목】 식별번호 28

【보정방법】 정정

【보정내용】

1). 셀영역과 주변회로영역 간에 잔류하는 질화막 계열의 제1하드마스크의 두께에서의 차이가 발생한다. 이는 전도층 패턴의 라인(Line)의 사이즈에 따라 잔류하는 제1하드마스크의 두께 차이가 발생한다는 것을 의미하는 것으로, 예컨대, 전도층 패턴의 라인 사이즈가 증가할 수록 잔류하는 제1하드마스크의 두께가 증가한다. 예컨대, 100nm 반도체소자 기술에서는 셀영역과 주변회로영역 간에는 400Å ~ 500Å의 차이가 발생함을 수치적으로 계산할 수 있다.

【보정대상항목】 식별번호 33

【보정방법】 정정

【보정내용】

상기의 목적을 달성하기 위해 본 발명은, 기판 상에 전도층을 형성하는 단계; 상기 전도층 상에 제1하드마스크용 물질막과 제2하드마스크용 물질막 및 제3하드마스크용 물질막을 차례로 형성하는 단계; 상기 제3하드마스크용 절연막 상에 소정의 패턴을 형성하기 위한 ArF 노광원을 이용한 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 제3하드마스크용 물질막을 식각하여 제3하드마스크를 형성하는 단계; 적어도 상기 제3하드마스크를 식각마스크로 상기 제2하드마스크용 물질막을 식각하여 제2하드마스크를 형성하는 단계; 습식 세정 공정을 실시하여 상기 제3하드마스크를 제거하는 단계; 및 상기

제2하드마스크를 식각마스크로 상기 제1하드마스크용 물질막과 상기 전도층을 차례로 식각하여 전도층과 제1하드마스크 및 제2하드마스크가 적층된 상기 소정의 패턴을 형성하는 단계를 포함하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법을 제공한다.

【보정대상항목】 식별번호 41

【보정방법】 정정

【보정내용】

여기서, 제1하드마스크용 물질막(52)은 도프트 폴리실리콘(Doped polysilicon)막 또는 언도프트 폴리실리콘(Undoped polysilicon)막을 사용하며, 제2하드마스크용 물질막(53)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열의 물질막을 사용한다.

한편, 제3하드마스크용 물질막(54)은 전술한 전도층(51)에 사용되는 물질과 동일한 물질을 사용하는 것이 바람직하며, 이는 희생막 목적으로 사용된다.

【보정대상항목】 식별번호 42

【보정방법】 정정

【보정내용】

제1하드마스크용 물질막(52)은 예컨대, 50 Å ~ 100 Å의 비교적 얇은 두께를 갖도록 하며, 제3하드마스크용 물질막(54)은 예컨대, 500 Å ~ 1000 Å 이상의 비교적 두꺼운 두께를 갖도록 한다.

【보정대상항목】 식별번호 50

【보정방법】 정정

【보정내용】

본 일실시예에서는 전술한 제3하드마스크(54")의 패턴이 하부로 전사되었을 경우 제2하드마스크 및 그 하부의 형상 또한 침탑 형상을 가질 수 있으므로, 침탑 형상을 갖는 잔류하는 제3하드마스크(54")를 제거한다.

【보정대상항목】 식별번호 54

【보정방법】 정정

【보정내용】

따라서, 3중 하드마스크 구조를 사용하고, 습식 세정 공정에 의해 그 상부가 경사 프로파일을 갖는 제3하드마스크(54")를 제거함에 따라 제2하드마스크(53')의 상부가 평탄화되었으며, 하부 제1하드마스크(52')와 전도층(51)의 식각 프로파일이 손상되지 않았음을 확인할 수 있다.

【보정대상항목】 식별번호 59

【보정방법】 정정

【보정내용】

여기서, 제1하드마스크용 물질막(62)은 저압 화학기상증착(Low Pressure Chemical Vapor Deposition; 이하 LPCVD라 함) 방식에 의한 실리콘질화막을 사용하며, 제2하드마스크용 물질막(63)은 플라즈마 화학기상증착(Plasma Enhancement

Chemical Vapor Deposition; 이하 PECVD라 함) 방식에 의한 실리콘질화막을 사용한다.

【보정대상항목】 식별번호 62

【보정방법】 정정

【보정내용】

제3하드마스크용 물질막(64)과 전도층(61)에 공통으로 텅스텐막을 사용하였을 경우, 텅스텐은  $\text{SF}_6/\text{N}_2$  플라즈마에 의해 식각되므로, 질화막 식각시 사용되는  $\text{CF}_4/\text{CHF}_3/\text{Ar}$  플라즈마를 이용하여 ArF 포토레지스트의 패턴 변형을 최소화할 수 있다.

따라서, ArF 포토리소그래피 공정을 적용할 경우에는 질화막을 최상부인 제3하드마스크용 물질막(64)으로 사용한 것 보다 텅스텐막 등을 사용하는 것이 바람직하다.

【보정대상항목】 식별번호 74

【보정방법】 정정

【보정내용】

전술한 바와 같이 이루어지는 본 발명은, 전도층 패턴 형성시 3중의 하드마스크를 사용하며, 이 때 침탑 형상을 갖는 제3하드마스크를 별도로 제거하거나 또는 전도층과 동일 물질로 사용하여 전도층 식각시 제거되도록 함으로써, 그 상부가 경사 프로파일을 갖는 제3하드마스크의 형상이 하부로 전사되는 것을 방지

할 수 있어, 전도층 패턴의 하드마스크에서의 침탐 현상을 방지할 수 있음을 실시예를 통해 알아 보았다.

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

기판 상에 전도층을 형성하는 단계;

상기 전도층 상에 제1하드마스크용 물질막과 제2하드마스크용 물질막 및 제3하드마스크용 물질막을 차례로 형성하는 단계;

상기 제3하드마스크용 절연막 상에 소정의 패턴을 형성하기 위한 ArF 노광원을 이용한 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각마스크로 상기 제3하드마스크용 물질막을 식각하여 제3하드마스크를 형성하는 단계;

적어도 상기 제3하드마스크를 식각마스크로 상기 제2하드마스크용 물질막을 식각하여 제2하드마스크를 형성하는 단계;

습식 세정 공정을 실시하여 상기 제3하드마스크를 제거하는 단계; 및

상기 제2하드마스크를 식각마스크로 상기 제1하드마스크용 물질막과 상기 전도층을 차례로 식각하여 전도층과 제1하드마스크 및 제2하드마스크가 적층된 상기 소정의 패턴을 형성하는 단계

를 포함하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

【보정대상항목】 청구항 3

【보정방법】 정정

【보정내용】

제 2 항에 있어서,

상기 제2하드마스크용 물질막은, 실리콘질화막 또는 실리콘산화질화막인 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

【보정대상항목】 청구항 8

【보정방법】 정정

【보정내용】

제 7 항에 있어서,

상기 제1하드마스크용 물질막은,

저압 화학기상증착 방식에 의한 실리콘질화막이며, 상기 제2하드마스크용 물질막은 플라즈마 화학기상증착 방식에 의한 실리콘질화막인 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0058		
【제출일자】	2002.12.30		
【발명의 명칭】	하드마스크의 경사 프로파일을 방지할 수 있는 ArF 노광원을 이용한 반도체소자 제조 방법		
【발명의 영문명칭】	Method for fabrication of semiconductor device using ArF photo-lithography capable of protecting tapered profile of hardmask		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	이성권		
【성명의 영문표기】	LEE, Sung Kwon		
【주민등록번호】	640301-1268621		
【우편번호】	467-860		
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 성 (인) 특허법인 신		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	7	면	7,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	36,000	원	

1020020086489

출력 일자: 2003/7/2

【첨부서류】

1. 요약서·명세서(도면)\_1통



**【요약서】****【요약】**

본 발명은 반도체소자의 전도층 패턴 형성시 사용되는 하드마스크의 경사 프로파일(제1,2하드마스크 상부의 침탑 또는 라운드 현상)을 방지하기에 적합한 반도체소자의 전도층 패턴 형성방법을 제공하기 위한 것으로 이를 위해 본 발명은, 기판 상에 전도층을 형성하는 단계; 상기 전도층 상에 제1하드마스크용 물질막과 제2하드마스크용 물질막 및 제3하드마스크용 물질막을 차례로 형성하는 단계; 상기 제3하드마스크용 절연막 상에 소정의 패턴을 형성하기 위한 ArF 노광원을 이용한 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 제3하드마스크용 물질막을 식각하여 제3하드마스크를 형성하는 단계; 적어도 상기 제3하드마스크를 식각마스크로 상기 제2하드마스크용 물질막을 식각하여 제2하드마스크를 형성하는 단계; 습식 세정 공정을 실시하여 상기 제3하드마스크를 제거하는 단계; 및 상기 제2하드마스크를 식각마스크로 상기 제1하드마스크용 물질막과 상기 전도층을 차례로 식각하여 전도층과 제1하드마스크 및 제2하드마스크가 적층된 상기 소정의 패턴을 형성하는 단계를 포함하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법을 제공한다.

**【대표도】**

도 5d

**【색인어】**

3중 하드마스크, 질화막, 경사 프로파일, 침탑 현상, LPCVD, PECVD.

## 【명세서】

## 【발명의 명칭】

하드마스크의 경사 프로파일을 방지할 수 있는 ArF 노광원을 이용한 반도체소자 제조 방법{Method for fabrication of semiconductor device using ArF photo-lithography capable of protecting tapered profile of hardmask}

## 【도면의 간단한 설명】

도 1a 내지 도 1c는 종래기술에 따른 반도체소자의 전도층 패턴 형성 공정을 도시한 단면도.

도 2는 도 1c의 단면 SEM 사진.

도 3은 전도층이 식각되어 전도층 패턴이 형성된 단면을 도시한 SEM 사진.

도 4는 텅스텐막과 폴리실리콘막이 적층된 전도패턴의 침탐 형상을 도시한 TEM 사진.

도 5a 내지 도 5d는 본 발명의 일실시예에 따른 반도체소자의 전도 패턴 형성 공정을 도시한 단면도.

도 6a 내지 도 6d는 본 발명의 다른 실시예에 따른 반도체소자의 전도 패턴 형성 공정을 도시한 단면도.

\* 도면의 주요 부분에 대한 부호의 설명

50 : 기판            51' : 전도층

52' : 제1하드마스크      53' : 제2하드마스크

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10>      본 발명은 반도체소자의 패턴 형성방법에 관한 것으로 특히, 불화아르곤 노광원을 이용한 반도체소자의 하드마스크의 상부가 평탄한 전도패턴 형성방법에 관한 것이다.
- <11>      반도체 소자가 고집적화됨에 따라 패턴간의 거리가 작아지고 식각마스크 역할을 하는 포토레지스트의 증착 두께는 점점 낮아지고 있다. 이렇게 포토레지스트막의 두께가 낮아지면 높은 종횡비의 콘택홀이나 셀프 얼라인 콘택홀 형성 공정에서는 포토레지스트막이 산화막이나 임의의 막질을 식각하는데 마스크 역할을 완벽하게 수행할 수 없게 된다. 그러므로, 포토레지스트막이 마스크역할을 할 수 있게 산화막이나 임의의 막질과 포토레지스트막의 고선택비를 확보할 수 있는 하드마스크가 필요하다.
- <12>      이러한 하드마스크로는 다양한 막질 예컨대, 질화막 또는 폴리실리콘막이 이용되고 있으며, 하드마스크 도입에 따라 상대적으로 포토레지스트막의 선택비 마진을 확보할 수 있을 뿐만아니라, 임계치수(Critical Dimension; 이하 CD라 함)의 손실(Loss)을 최소화함으로써 CD 바이어스(Bias)를 줄일 수 있게 되었다.
- <13>      그러나, 질화막 계열의 하드마스크를 사용하는 경우 디자인 룰의 감소에 따

라 그 두께가 감소하게 되었고, 이에 따라 콘택 형성 등의 공정에서 산화막 식각시 질화막에 대하여 고선택비를 확보하기 위하여 다량의 폴리머 유발 가스가 사용되는 바, 이러한 다량의 폴리머 유발 가스 사용에 따라 식각 공정의 재현성 문제와 경사(Slope)식각 단면에 기인한 콘택 면적 감소에 따른 콘택 저항 증가 등의 문제가 발생하게 되며, 폴리실리콘막을 하드마스크로 사용하는 경우 폴리머 유발 가스에 따른 문제점을 극복할 수 있다 할지라도 예컨대, 콘택홀 형성 공정 후 하드마스크로 사용된 폴리실리콘막을 제거할 때 반도체 기판을 구성하는 실리콘에 대한 선택비 확보가 어려워 제거하기가 어려우며, 특히 최근의 미세 패턴 형성시 주로 사용되는 ArF 노광원용 포토레지스트의 경우 접착(Adhesion) 문제 또한 발생하게 되고, 폴리실리콘 하드마스크 패터닝 자체도 어렵다.

<14> 한편, 비트라인 또는 워드라인의 경우는 그 자체의 수직 두께가 증가함에 따라 패터닝시 식각타겟이 증가하고 또한, 비트라인과 워드라인에 귀금속 등을 사용함에 따라 보다 식각내성이 강한 귀금속 하드마스크도 사용되고 있으며, 귀금속과 질화막을 포함하는 이중 구조의 하드마스크가 점차 사용되고 있다.

<15> 도 1a 내지 도 1c는 종래기술에 따른 반도체소자의 전도층 패턴 형성 공정을 도시한 단면도로서, 이를 참조하여 상세하게 설명한다.

<16> 먼저 도 1a에 도시된 바와 같이, 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(도시하지 않음) 상에 피식각층인 전도층(10)을 증착한 다음, 제1하드마스크용 질화막(11)과 제2하드마스크용 텅스텐막(12)을 차례로 증착한다.

<17> 이어서, 포토리소그래피 공정에서의 노광에 따른 난반사를 방지하고 ArF용 포토레지스트의 하부와의 접착력 향상을 위해 반사방지막(13)을 도포한다.

- <18>       이어서, 소정의 패턴(여기서, 소정의 패턴은 게이트전극 패턴을 그 일예로 함)을 형성을 위한 포토레지스트 패턴(14)을 형성한다.
- <19>       여기서, 전도층(10)은 폴리실리콘막과 텅스텐막이 적층된 것을 그 일예로 하였으며, 반사방지막(13)은 유기 계열을 사용하였다.
- <20>       이어서, 포토레지스트 패턴(14)을 식각마스크로 반사방지막(13)과 제2하드마스크용 텅스텐막(12)을 차례로 식각하는 바, 도 1b는 제2하드마스크(12') 형성에 따라 포토레지스트 패턴(14')의 일부가 식각되고, 반사방지막(13')이 식각되어 패턴 영역이 정의된 공정 단면을 나타낸다.
- <21>       이어서, 포토레지스트 패턴(14')과 반사방지막(13') 및 제2하드마스크(12')를 식각마스크로 제1하드마스크용 질화막(11)을 식각하여 제2하드마스크(12'')와 제1하드마스크(11')가 적층된 구조를 갖는 도 1c의 공정 단면을 형성한다.
- <22>       한편, 도 1c에서 알 수 있듯이 제1하드마스크(11') 형성시 제2하드마스크(12'')의 상부가 뽕족한 침탑 형상을 갖는다.
- <23>       도 2는 도 1c의 단면 SEM 사진이며, 도 3은 전도층이 식각되어 전도층 패턴이 형성된 단면을 도시한 SEM 사진이다.
- <24>       도 2를 참조하면, 제2하드마스크(12'')가 침탑 형상을 갖는 것을 나타내고 있다. 또한, 도 3을 참조하면, 도 1c의 공정 후 이미 침탑 형상을 갖는 제2하드마스크(12'')를 식각마스크로 하부를 식각하므로, 제2하드마스크(12'')의 패턴 형상이 하부로 전사되어 제1하드마스크(11'')가 침탑의 형상을 갖게됨을 알 수 있다.

- <25> 도 4는 텅스텐막과 폴리실리콘막이 적층된 전도패턴의 침탑 형상을 도시한 TEM 사진이다.
- <26> 도 4를 참조하면, 폴리실리콘막(10b)과 텅스텐막(10a)이 적층되어 전도층(10')을 이루고 있으며, 그 상부에 제1하드마스크(11")가 형성되어 있으나, 전술한 바와 같이 제2하드마스크의 침탑 형상이 하부로 전사되어 제1하드마스크(11")가 이러한 침탑 형상을 갖게 된다.
- <27> 한편, 전술한 하드마스크의 침탑 형상은 다음과 같은 문제점 발생시킨다.
- <28> 1). 셀영역과 주변회로영역 간에 잔류하는 질화막 계열의 제1하드마스크의 두께에서의 차이가 발생한다. 이는 전도층 패턴의 라인(Line)의 사이즈에 따라 잔류하는 제1하드마스크의 두께 차이가 발생한다는 것을 의미하는 것으로, 예컨대, 전도층 패턴의 라인 사이즈가 증가할 수록 잔류하는 제1하드마스크의 두께가 증가한다. 100nm 반도체소자 기술에서 셀영역과 주변회로영역 간에는 400Å ~ 500Å의 차이가 발생한다.
- <29> 2). 전도층 패턴 사이에 플러그를 형성하는 공정에서 플러그 물질을 증착한 후 평탄화하여 격리시키는 공정(Isolation)에서 제1하드마스크의 두께 조절이 어렵다. 이는 침탑 부분에서는 연마율이 급속히 증가하기 때문이다. 이로 인해 SAC 결함과 같은 소자의 불량률을 초래한다.
- <30> 3). 70nm 이하의 반도체소자 기술에서는 침탑 현상에 의한 소자의 불량 현상이 더욱 심화될 것이다.

<31> 따라서, 제2하드마스크 상부의 침탑 또는 라운드(Round) 현상에 의한 소자 불량을 방지할 수 있는 공정 개발이 필요하다.

**【발명이 이루고자 하는 기술적 과제】**

<32> 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 본 발명은, 반도체소자의 전도층 패턴 형성시 사용되는 하드마스크의 경사 프로파일(제2하드마스크 상부의 침탑 또는 라운드 현상)을 방지하기에 적합한 반도체소자의 전도층 패턴 형성방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<33> 상기의 목적을 달성하기 위해 본 발명은, 기판 상에 전도층을 형성하는 단계; 상기 전도층 상에 제1하드마스크용 물질막과 제2하드마스크용 물질막 및 제3하드마스크용 물질막을 차례로 형성하는 단계; 상기 제3하드마스크용 절연막 상에 소정의 패턴을 형성하기 위한 ArF 노광원을 이용한 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 제3하드마스크용 물질막을 식각하여 제3하드마스크를 형성하는 단계; 적어도 상기 제3하드마스크를 식각마스크로 상기 제2하드마스크용 물질막을 식각하여 제2하드마스크를 형성하는 단계; 습식 세정 공정을 실시하여 상기 제3하드마스크를 제거하는 단계; 및 상기 제2하드마스크를 식각마스크로 상기 제1하드마스크용 물질막과 상기 전도층을 차례로 식각하여 전도층과 제1하드마스크 및 제2하드마스크가 적층된

상기 소정의 패턴을 형성하는 단계를 포함하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법을 제공한다.

<34> 또한, 상기의 목적을 달성하기 위해 본 발명은, 기판 상에 전도층을 형성하는 단계; 상기 전도층 상에 제1하드마스크용 물질막과 제2하드마스크용 물질막 및 제3하드마스크용 물질막을 차례로 형성하는 단계; 상기 제3하드마스크용 절연막 상에 소정의 패턴을 형성하기 위한 ArF 노광원을 이용한 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 제3하드마스크용 물질막을 식각하여 제3하드마스크를 형성하는 단계; 적어도 상기 제3하드마스크를 식각마스크로 상기 제2하드마스크용 물질막과 상기 제1하드마스크용 물질막을 차례로 식각하여 제3하드마스크와 제2하드마스크 및 제1하드마스크가 적층된 3중의 하드마스크 구조를 형성하는 단계; 및 상기 3중의 하드마스크 구조를 식각마스크로 상기 제3하드마스크가 제거되도록 상기 전도층을 식각하여 전도층과 제1하드마스크 및 제2하드마스크가 적층된 상기 소정의 패턴을 형성하는 단계를 포함하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법을 제공한다.

<35> 본 발명은, 전도층 패턴 형성시 3중의 하드마스크 구조를 이용하여 전도층 패턴의 형성시 하드마스크 상부에서의 침탐 현상을 방지하는 것을 주 목적으로 한다.

<36> 이를 위해, 희생막인 상부의 제3하드마스크를 이용하여 하부의 제2하드마스크용 물질막을 식각한 다음, 습식 세정을 통해 상기 식각 공정을 통해 경사 프로파일을 갖게 된 제3하드마스크를 제거하고, 제2하드마스크를 식각마스크로 제1하드마스크용 물질막과 전도층을 식각한다. 따라서, 제3하드마스크의 침탐 형상의 전사에 따른 하부 구조의 패턴에서의 경사 침탐 형상 등의 경사 프로파일 발생을 억제한다.



- <37> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.
- <38> 도 5a 내지 도 5d는 본 발명의 일실시예에 따른 반도체소자의 전도층 패턴 형성 공정을 도시한 단면도로서, 이를 참조하여 상세하게 설명한다.
- <39> 먼저, 도 5a에 도시된 바와 같이, 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(50) 상에 피식각층인 전도층(51)을 증착한 다음, 제1하드마스크용 물질막(52)과 제2하드마스크용 물질막(53) 및 제3하드마스크용 물질막(54)을 차례로 증착한다.
- <40> 여기서, 전도층(51)은 텅스텐막, 티타늄막, 텅스텐 실리사이드막 및 티타늄 나이트라이드막을 포함하는 그룹으로부터 선택된 적어도 하나의 물질막을 이용한다.
- <41> 여기서, 제1하드마스크용 물질막(52)은 도프트 폴리실리콘(Doped polysilicon)막 또는 언도프트 폴리실리콘(Undoped polysilicon)막을 사용하며, 제2하드마스크용 물질막(53)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열의 물질막을 사용한다. 제3하드마스크용 물질막(54)은 전술한 전도층(51)에 사용되는 물질과 동일한 물질을 사용하며, 이는 희생막 목적으로 사용된다.
- <42> 제1하드마스크용 물질막(52)은  $50\text{\AA} \sim 100\text{\AA}$ 의 비교적 얇은 두께를 갖도록 하며, 제3하드마스크용 물질막(54)은  $500\text{\AA} \sim 1000\text{\AA}$  이상의 비교적 두꺼운 두께를 갖도록 한다.

- <43>       이어서, 포토리소그래피 공정에서의 노광에 따른 난반사를 방지하고 ArF용 포토레지스트의 하부와의 접착력 향상을 위해 제3하드마스크용 물질막(54) 상에 반사방지막(55)을 도포한다.
- <44>       이어서, 소정의 패턴(여기서, 소정의 패턴은 게이트전극 패턴을 그 일례로 함)을 형성을 위한 포토레지스트 패턴(56)을 형성한다.
- <45>       반사방지막(55)은 유기 계열을 사용하였다. 또한, 포토레지스트 패턴(56)은 COMA(CycloOlefin-Maleic Anhydride) 또는 아크릴레이드(Acrylate) 계통의 폴리머 형태, 또는 이들의 혼합 형태를 갖는 ArF용 포토레지스트를 사용한 것이다.
- <46>       이어서, 포토레지스트 패턴(56)을 식각마스크로 반사방지막(55)과 제3하드마스크용 물질막(54)을 차례로 식각하는 바, 도 5b는 제3하드마스크(54') 형성에 따라 포토레지스트 패턴(56')의 일부가 식각되고, 반사방지막(55')이 식각되어 패턴 영역이 정의된 공정 단면을 나타낸다.
- <47>       이어서, 포토레지스트 스트립(Photoresist strip) 공정을 실시하여 포토레지스트 패턴(56')과 반사방지막(55')을 제거한 다음, 제3하드마스크(54')를 식각마스크로 제2하드마스크용 물질막(53)을 식각하여 제3하드마스크(54'')와 제2하드마스크(53')가 적층된 구조를 갖는 도 5c의 공정 단면을 형성한다.
- <48>       한편, 도 5c에서 알 수 있듯이 제2하드마스크(53') 형성을 위한 식각 공정에서 제3하드마스크(54'') 상부가 손실되어 그 상부가 뾰족한 첨탑 형상을 갖게 된다.

- <49> 한편, 전술한 포토레지스트 스트립 공정을 별도로 실시하지 않고, 제2하드마스크(53') 형성시 포토레지스트 패턴(56')과 반사방지막(55')이 자연스럽게 제거되도록 할 수도 있다.
- <50> 본 발명에서는 전술한 제3하드마스크(54")의 패턴이 하부로 전사되었을 경우 제2하드마스크 및 그 하부의 형상 또한 침탑 형상을 가질 수 있으므로, 침탑 형상을 갖는 잔류하는 제3하드마스크(54")를 제거한다.
- <51> 도 5c에서 제3하드마스크(54")는 점선으로 도시되어 있는 바, 습식 세정 공정을 통해 제거된다.
- <52> 한편, 전술한 바와 같이 희생용인 제3하드마스크(54")는 전도층(51)과 동일 물질을 사용하므로, 습식 세정시 전도층(51)이 손실될 수 있으므로, 식각 특성이 상이한 제1하드마스크용 물질막(52)을 사용하여 습식 세정 공정시 전도층(51)의 손실을 방지할 수 있다. 세정 공정시 SC-1( $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$ )을 사용한다.
- <53> 이어서, 도 5d에 도시된 바와 같이, 제2하드마스크(53')를 식각마스크로 제1하드마스크용 물질막(52)과 전도층(51)을 차례로 식각하여 전도층(51') 상에 제1하드마스크(52')와 제2하드마스크(53')의 이중 하드마스크가 적층된 전도 패턴을 형성한다.
- <54> 따라서, 3중 하드마스크 구조와 습식 세정 공정에 의해 그 상부가 경사 프로파일을 갖는 제3하드마스크(54")를 제거함에 따라 제2하드마스크(53')의 상부가 평탄화되었으며, 하부 제1하드마스크(52')와 전도층(51)의 식각 프로파일이 손상되지 않았음을 확인할 수 있다.

- <55> 한편, 3중 구조의 하드마스크를 이용하더라도 전술한 일실시에와는 다른 물질과 다른 식각 방식을 적용할 수도 있다.
- <56> 도 6a 내지 도 6d는 본 발명의 다른 실시예에 따른 반도체소자의 전도층 패턴 형성 공정을 도시한 단면도로서, 이를 참조하여 상세하게 설명한다.
- <57> 먼저, 도 6a에 도시된 바와 같이, 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(60) 상에 피식각층인 전도층(61)을 증착한 다음, 제1하드마스크용 물질막(62)과 제2하드마스크용 물질막(63) 및 제3하드마스크용 물질막(64)을 차례로 증착한다.
- <58> 여기서, 전도층(61)은 텅스텐막, 티타늄막, 텅스텐 실리사이드막 및 티타늄 나이트라이드막을 포함하는 그룹으로부터 선택된 적어도 하나의 물질막을 이용한다.
- <59> 여기서, 제1하드마스크용 물질막(62)은 저압 화학기상증착(Low Pressure Chemical Vapor Deposition; 이하 LPCVD라 함) 방식에 의한 실리콘질화막을 사용하며, 제2하드마스크용 물질막(63)은 플라즈마 화학기상증착(Plasma Enhancement Chemical Vapor Deposition; 이하 PECVD라 함) 방식에 의한 실리콘질화막을 사용한다.
- <60> PECVD에 의한 실리콘질화막은 증착 속도가 빠르기 때문에 쓰루-풋(Through-put)을 높일 수 있으며, LPCVD에 의한 실리콘질화막은 PECVD에 의한 실리콘질화막에 비해 막 밀도가 조밀하여 PECVD에 의한 실리콘질화막 보다 그 두께가 얇더라도 하드마스크로서의 역할이 탁월하며, 본 실시예에서는 이를 이용한 효과를 극대화하기 위해 PECVD에 의한 실리콘질화막을 사용하는 제2하드마스크용 물질막(63)의 두께를 LPCVD에 의한 실리콘질화막을 사용하는 제1하드마스크용 물질막(62)의 두께에 비해 2배 이상이 되도록 한다.

- <61> 제3하드마스크용 물질막(64)은 전술한 전도층(61)에 사용되는 물질 예컨대, 텅스텐(W)과 동일한 물질을 사용하며, 이는 희생막 목적으로 사용된다.
- <62> 제3하드마스크용 물질막(64)과 전도층(61)에 공통으로 텅스텐막을 사용하였을 경우, 텅스텐은  $\text{SF}_6/\text{N}_2$  플라즈마에 의해 식각되므로, 질화막 식각시 사용되는  $\text{CF}_4/\text{CHF}_3/\text{Ar}$  플라즈마에 ArF 포토레지스트의 패턴 변형을 최소화할 수 있다. 따라서, ArF 포토리소그래피 공정을 적용할 경우에는 질화막을 최상부인 제3하드마스크용 물질막(64)으로 사용한 것 보다 텅스텐막 등을 사용하는 것이 바람직하다.
- <63> 이어서, 포토리소그래피 공정에서의 노광에 따른 난반사를 방지하고 ArF용 포토레지스트의 하부와의 접착력 향상을 위해 제3하드마스크용 물질막(64) 상에 반사방지막(65)을 도포한다.
- <64> 이어서, 소정의 패턴(여기서, 소정의 패턴은 게이트전극 패턴을 그 일례로 함)을 형성을 위한 포토레지스트 패턴(66)을 형성한다.
- <65> 반사방지막(65)은 유기 계열을 사용하였다. 또한, 포토레지스트 패턴(66)은 COMA 또는 아크릴레이드 계통의 폴리머 형태, 또는 이들의 혼합 형태를 갖는 ArF용 포토레지스트를 사용한다.
- <66> 이어서, 포토레지스트 패턴(66)을 식각마스크로 반사방지막(65)과 제3하드마스크용 물질막(64)을 차례로 식각하는 바, 도 6b는 제3하드마스크(64') 형성에 따라 포토레지스트 패턴(66')의 일부가 식각되고, 반사방지막(65')이 식각되어 패턴 영역이 정의된 공정 단면을 나타낸다.

- <67> 이어서, 포토레지스트 스트립 공정을 실시하여 포토레지스트 패턴(66')과 반사방지막(65')을 제거한 다음, 제3하드마스크(64')를 식각마스크로 제2하드마스크용 물질막(63)과 제1하드마스크용 물질막(62)를 차례로 식각하여 제3하드마스크(64")와 제2하드마스크(63') 및 제1하드마스크(62')가 적층된 3중 하드마스크 구조를 갖는 도 6c의 공정 단면을 형성한다.
- <68> 한편, 도 6c에서 알 수 있듯이 제2하드마스크(63')와 제1하드마스크(62') 형성을 위한 식각 공정에서 제3하드마스크(64") 상부가 손실되어 그 상부가 뿔족한 침탑 형상을 갖게 된다.
- <69> 한편, 전술한 포토레지스트 스트립 공정을 별도로 실시하지 않고, 제2하드마스크(63') 및 제1하드마스크(62') 형성시 포토레지스트 패턴(66')과 반사방지막(65')이 자연스럽게 제거되도록 할 수도 있다.
- <70> 이어서, 도 6d에 도시된 바와 같이, 제3하드마스크(64")와 제2하드마스크(63') 및 제1하드마스크(62')를 식각마스크로 전도층(61)을 식각하여 전도층(61') 상에 제1하드마스크(62')와 제2하드마스크(63')의 이중 하드마스크가 적층된 전도 패턴을 형성한다.
- <71> 본 발명에서는 전술한 제3하드마스크(64")의 패턴이 하부로 전사되었을 경우 제2하드마스크(63') 및 그 하부의 형상 또한 침탑 형상을 가질 수 있으므로, 침탑 형상을 갖는 잔류하는 제3하드마스크(64")를 제거한다.
- <72> 한편, 본 실시예에서는 이러한 제3하드마스크(64")를 제거하는 별도의 공정을 실시하지 않고 전도층(61) 식각시 제거되도록 한다.

<73> 이는 상기한 바와 같이 제3하드마스크(64")와 전도층(61')은 동일 물질을 사용하므로 가능하다. 도 6d에서 제3하드마스크(64")는 점선으로 도시되어 있는 바, 이는 전도층(61')을 식각하여 패턴 형성시 제거되는 것을 나타낸다.

<74> 전술한 바와 같이 이루어지는 본 발명은, 전도층 패턴 형성시 3중의 하드마스크를 사용하며, 이 때, 침탑 형상을 갖는 제3하드마스크를 별도로 제거하거나 또는 전도층과 동일 물질로 사용하여 전도층 식각시 제거되도록 함으로써, 그 상부가 경사 프로파일을 갖는 제3하드마스크의 형상이 하부로 전사되는 것을 방지할 수 있어, 전도층 패턴의 하드마스크에서의 침탑 현상을 방지할 수 있음을 실시예를 통해 알아 보았다.

<75> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

<76> 예컨대, 본 발명에서는 전도층 패턴으로 게이트전극 패턴을 그 일례로 하였으나, 이외에도 비트라인 패턴이나 금속배선 등에도 응용 가능하다.

#### 【발명의 효과】

<77> 전술한 본 발명은, 하드마스크의 경사 프로파일을 방지할 수 있어, 궁극적으로 반도체 소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

**【특허청구범위】****【청구항 1】**

기관·상에 전도층을 형성하는 단계;

상기 전도층 상에 제1하드마스크용 물질막과 제2하드마스크용 물질막 및 제3하드마스크용 물질막을 차례로 형성하는 단계;

상기 제3하드마스크용 절연막 상에 소정의 패턴을 형성하기 위한 ArF 노광원을 이용한 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각마스크로 상기 제3하드마스크용 물질막을 식각하여 제3하드마스크를 형성하는 단계;

적어도 상기 제3하드마스크를 식각마스크로 상기 제2하드마스크용 물질막을 식각하여 제2하드마스크를 형성하는 단계;

습식 세정 공정을 실시하여 상기 제3하드마스크를 제거하는 단계; 및

상기 제2하드마스크를 식각마스크로 상기 제1하드마스크용 물질막과 상기 전도층을 차례로 식각하여 전도층과 제1하드마스크 및 제2하드마스크가 적층된 상기 소정의 패턴을 형성하는 단계

를 포함하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

**【청구항 2】**

제 1 항에 있어서,



상기 제1하드마스크용 물질막은, 도프트 폴리실리콘막 또는 언도프트 폴리실리콘막인 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

**【청구항 3】**

제 2 항에 있어서,

상기 제2하드마스크용 물질막은, 실리콘질화막 또는 실리콘산화질화막인 것을 특징으로 하는 ArF 노광원을 이용한 반도체소자 제조 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 하드마스크용 물질막과 상기 전도층은 동일 물질을 사용하는 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 제3하드마스크를 제거하는 단계에서, SC-1 용액을 사용하는 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

**【청구항 6】**

제 1 항에 있어서,

상기 제1하드마스크용 물질막을 50Å 내지 100Å의 두께로 형성하는 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

【청구항 7】

기판 상에 전도층을 형성하는 단계;

상기 전도층 상에 제1하드마스크용 물질막과 제2하드마스크용 물질막 및 제3하드마스크용 물질막을 차례로 형성하는 단계;

상기 제3하드마스크용 절연막 상에 소정의 패턴을 형성하기 위한 ArF 노광원을 이용한 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각마스크로 상기 제3하드마스크용 물질막을 식각하여 제3하드마스크를 형성하는 단계;

적어도 상기 제3하드마스크를 식각마스크로 상기 제2하드마스크용 물질막과 상기 제1하드마스크용 물질막을 차례로 식각하여 제3하드마스크와 제2하드마스크 및 제1하드마스크가 적층된 3중의 하드마스크 구조를 형성하는 단계; 및

상기 3중의 하드마스크 구조를 식각마스크로 상기 제3하드마스크가 제거되도록 상기 전도층을 식각하여 전도층과 제1하드마스크 및 제2하드마스크가 적층된 상기 소정의 패턴을 형성하는 단계

를 포함하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

**【청구항 8】**

제 7 항에 있어서,

상기 제1하드마스크용 물질막은, 저압 화학기상증착 방식에 의한 실리콘질화막이며, 상기 제2하드마스크용 물질막은 플라즈마 화학기상증착 방식에 의한 실리콘질화막인 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

**【청구항 9】**

제 8 항에 있어서,

상기 제2하드마스크용 물질막의 두께는 상기 제1하드마스크용 물질막 두께의 2배 보다 크거나 같은 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

**【청구항 10】**

제 7 항에 있어서,

상기 제3하드마스크용 물질막 상기 전도층과 동일 물질인 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

**【청구항 11】**

제 1 항 또는 제 7 항에 있어서,

상기 소정의 패턴은, 게이트전극, 비트라인 또는 금속배선 중 어느 하나인 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

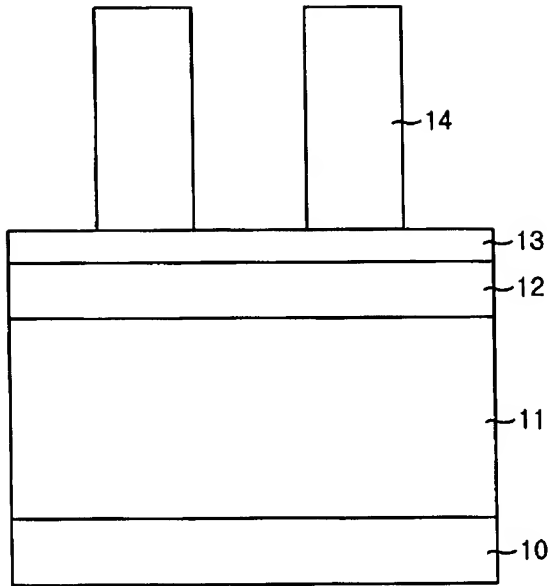
【청구항 12】

제 1 항 또는 제 7 항에 있어서,

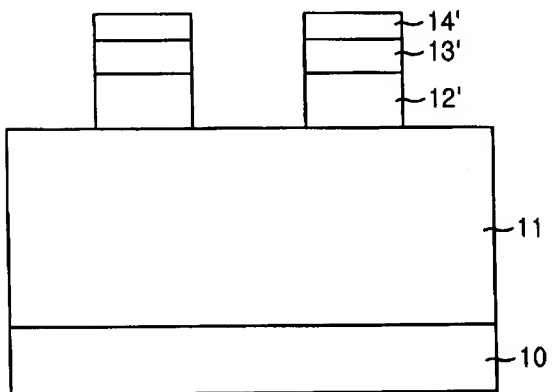
상기 제3하드마스크용 절연막을 형성하는 단계 후, 반사방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불화아르곤 노광원을 이용한 반도체소자 제조 방법.

【도면】

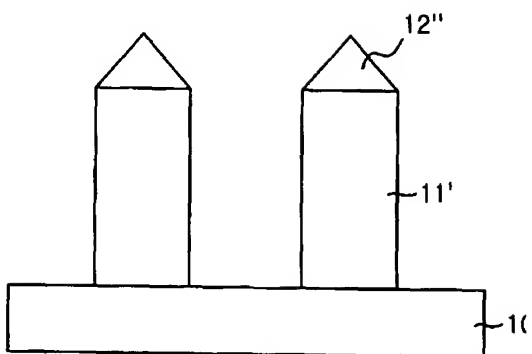
【도 1a】



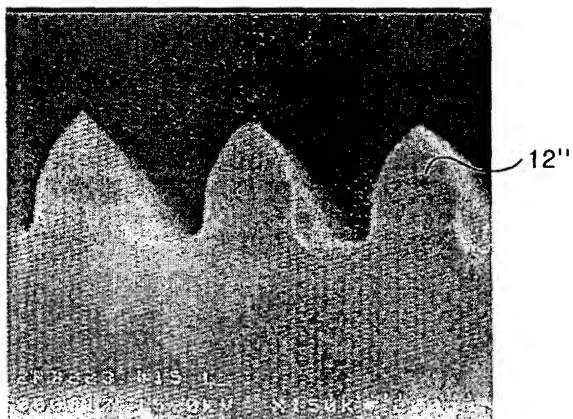
【도 1b】



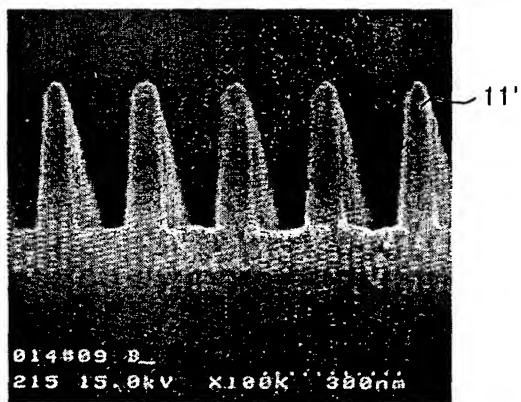
【도 1c】



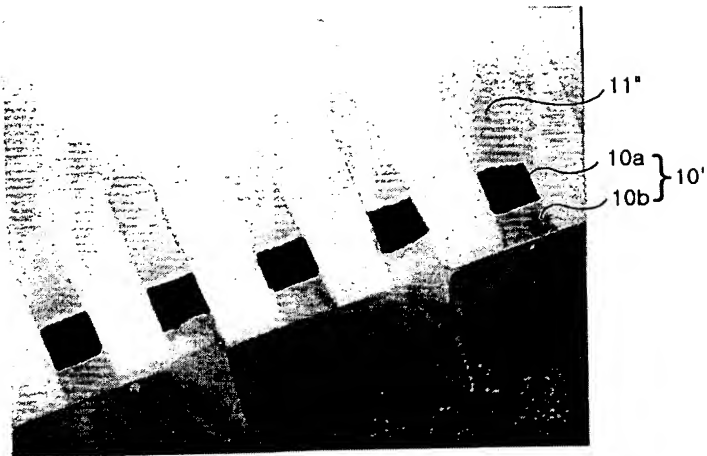
【도 2】



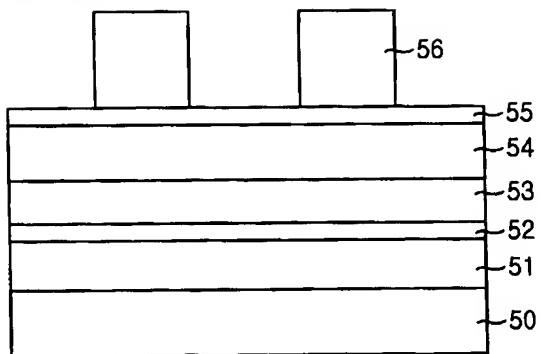
【도 3】



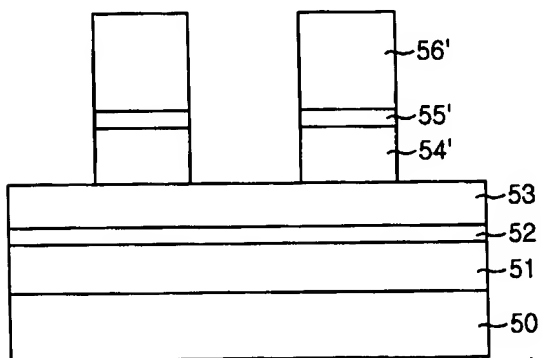
【도 4】



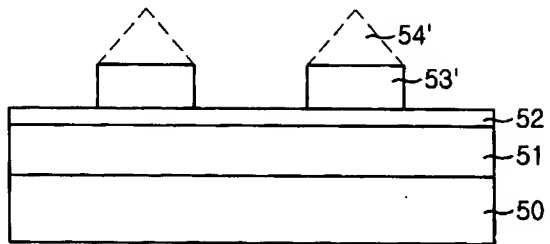
【도 5a】



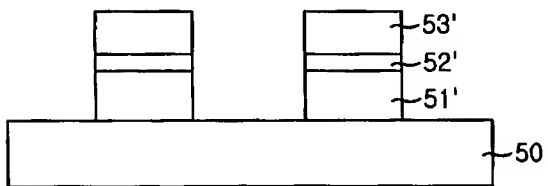
【도 5b】



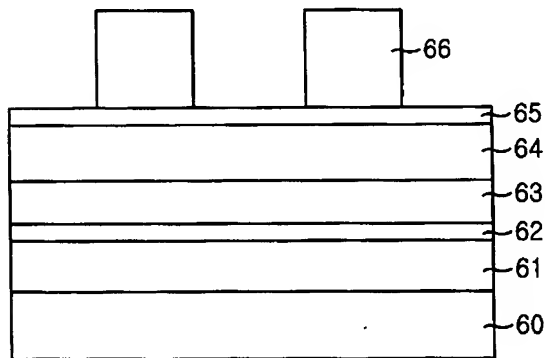
【도 5c】



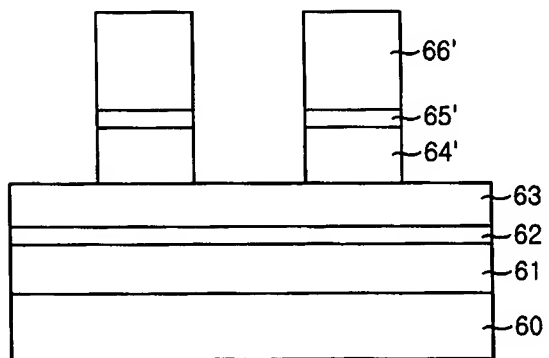
【도 5d】



【도 6a】

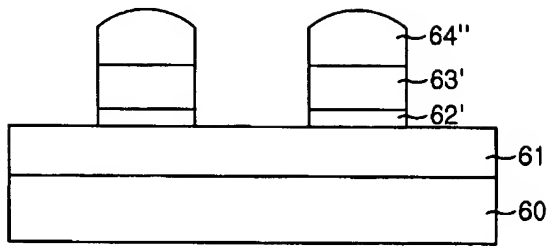


【도 6b】





【도 6c】



【도 6d】

